

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

JCC 09/940247 PTO
08/21/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2000年 8月29日

出願番号
Application Number: 特願2000-259226

出願人
Applicant(s): 日本電気株式会社

2001年 2月16日

特許庁長官
Commissioner,
Patent Office

及川耕造

出証番号 出証特2001-3008587

【書類名】 特許願

【整理番号】 74810367

【提出日】 平成12年 8月29日

【あて先】 特許庁長官 及川 耕造 殿

【国際特許分類】 H01L 21/28

【発明の名称】 半導体装置の製造方法

【請求項の数】 1

【発明者】

【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

【氏名】 伊藤 孝政

【特許出願人】

【識別番号】 000004237

【氏名又は名称】 日本電気株式会社

【代理人】

【識別番号】 100070530

【弁理士】

【氏名又は名称】 畑 泰之

【電話番号】 3582-7161

【手数料の表示】

【予納台帳番号】 043591

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9603496

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項1】 半導体基板上に選択的に形成された絶縁膜から露出した部分に形成されたソース・ドレイン領域、ゲート電極上に、自己整合的に金属シリサイド層を形成する半導体装置の製造方法において、

前記半導体基板上にコバルトを堆積せしめ、熱処理を施すことで、前記金属シリサイド層を形成し、その後、未反応のコバルトをエッチングして除去する際、塩酸、過酸化水素、水の混合水溶液からなるエッチング液のそれぞれの濃度比を1:1:5~3:1:5とし、液温を25~45℃とし、エッチング時間を1~20分とした条件下でエッチングすることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置の製造方法に係わり、特に、低抵抗なシリサイド層の形成に好適な半導体装置の製造方法に関する。

【0002】

【従来の技術】

浅接合の高速ロジックデバイス及びDRAM/ロジック混載デバイスの実現には、サリサイドプロセスによるゲート及びソース、ドレイン電極の低抵抗化が必須であり、細線効果、耐熱性の観点よりコバルトサリサイド技術を採用している。半導体素子の拡散層電極もしくはゲート電極、もしくは拡散層電極、ゲート電極双方が形成されたシリコン基板にシリサイド反応を抑制する不純物が注入されると、局所的に低抵抗かつ均一なコバルトシリサイド膜が形成されない領域が生じる。

【0003】

【発明が解決しようとする課題】

この局所的にコバルトシリサイドが形成し難い状況（形成不良）を改善する為、コバルトサリサイドプロセスのどの工程が形成不良に大きく影響を与えている

か調査した。その結果、第1シンター後の未反応コバルト及び一部酸化されたコバルト膜を除去する工程において、エッチング液温度を高温にし、又は、エッチング時間を長時間行うことによって、シリサイド層の形成不良が発生することを見いだした。

【0004】

本発明の目的は、上記した従来技術の欠点を改良し、特に、低抵抗なシリサイド層の形成に好適な新規な半導体装置の製造方法を提供することにある。

【0005】

【課題を解決するための手段】

本発明は上記した目的を達成するため、基本的には、以下に記載されたような技術構成を採用するものである。

【0006】

即ち、本発明に係わる半導体装置の製造方法の第1態様は、

半導体基板上に選択的に形成された絶縁膜から露出した部分に形成されたソース・ドレイン領域、ゲート電極上に、自己整合的に金属シリサイド層を形成する半導体装置の製造方法において、

前記半導体基板上にコバルトを堆積せしめ、熱処理を施すことで、前記金属シリサイド層を形成し、その後、未反応のコバルトをエッチングして除去する際、塩酸、過酸化水素、水の混合水溶液からなるエッチング液のそれぞれの濃度比を1:1:5~3:1:5とし、液温を25~45℃とし、エッチング時間を1~20分とした条件下でエッチングすることを特徴とするものである。

【0007】

【発明の実施の形態】

本発明に係わる半導体装置の製造方法は、

半導体基板上に選択的に形成された絶縁膜から露出した部分に形成されたソース・ドレイン領域、ゲート電極上に、自己整合的に金属シリサイド層を形成する半導体装置の製造方法において、

前記半導体基板上にコバルトを堆積せしめ、熱処理を施すことで、前記金属シリサイド層を形成し、その後、未反応のコバルトをエッチングして除去する際、

塩酸、過酸化水素、水の混合水溶液からなるエッティング液のそれぞれの濃度比を1:1:5~3:1:5とし、液温を25~45°Cとし、エッティング時間を1~20分とした条件下でエッティングすることを特徴とするものである。

【0008】

【実施例】

以下に、本発明に係わる半導体装置の製造方法の具体例を図面を参照しながら詳細に説明する。

【0009】

(第1の具体例)

図1、図2は、第1の具体例を説明するための工程図である。

【0010】

本発明では、まず、図1 (a) に示すように、素子を形成した半導体基板1上の全面に、図1 (b) に示すように、コバルト6を成膜する。この時の成膜温度は、200~500°C、成膜方法はマグнетロンスパッタ法で成膜する。次に、これを500°C以上の不活性ガス雰囲気中、例えば、窒素雰囲気中で30秒間熱処理し、ダイコバルトシリサイド膜 (Co₂Si)、コバルトモノシリサイド膜 (CoSi)、コバルトダイシリサイド膜 (CoSi₂) を形成する (第1シンター)。この時コバルトシリサイド層は、図1 (c) に示すように、ゲート電極5上及び拡散層3、4上のみに自己整合的に形成される。そして、塩酸、過酸化水素、水の混合水溶液 (HPM) にシリコン基板1を液浸することにより、選択的にウェットエッティングし、フィールド酸化膜2及びサイドウォール膜上の未反応もしくは一部酸化されたコバルト膜のみをエッティングして除去する (図1 (d))。この余剰コバルトエッティングプロセスの際、過剰なエッティングによるゲート電極5の表面およびソース・ドレイン領域3、4のシリサイド膜のエッティングを避ける為、エッティング条件を最適化する必要があり、塩酸、過酸化水素、水の濃度比を1:1:5~3:1:5、HPM液の温度を25~45°C、エッティング時間を1~20分とする。次いで、第1シンター時以上の温度、例えば、800°C、10秒間熱処理を行う (図1 (e))。この結果、低抵抗かつ均一なコバルトダイシリサイド (CoSi₂) が形成される (第2シンター)。

【0011】

次に、上記した余剰コバルトエッティングプロセスに関して、図2を用いて更に説明する。

【0012】

第1シンター後はその温度によってダイコバルトシリサイド膜、コバルトモノシリサイド膜、コバルトダイシリサイド膜のどれか、もしくはそれらの混合膜が形成されている。その状態でフィールド酸化膜上及びサイドウォール上の未反応コバルトもしくはコバルトの酸化物を除去する目的で、選択的ウェットエッティング、即ち、余剰コバルトエッティングを行うが、その際、過剰なエッティングを行うと、具体的には、長時間のエッティングによりエッティング液がコバルトシリサイド結晶の結晶粒界から液が入り込んでいき、下地の影響、例えば不純物注入等の影響を受けてできた不安定なコバルトシリサイド膜、コバルトシリサイド膜とシリコン基板の界面に存在する不純物、基板中の不純物等をエッティングして局所的にシリサイド膜がエッティングされた状態ができる（図2（b））。この状態でその後、第2シンターを行っても、低抵抗かつ均一なコバルトシリサイド膜をは形成する事が出来ない。

【0013】

このような不具合をなくす為、未反応コバルトもしくはコバルトの酸化物を除去する工程において、シリサイド膜には影響を与えず、未反応コバルトおよび一部酸化されたコバルト膜のみをエッティング除去する為にエッティングレートを下げる、又は、過剰な時間エッティング液に浸水させないようにする必要がある。本発明者の実験によると、エッティング液は塩酸、過酸化水素水、水の混合水溶液とし、その濃度比を1：1：5～3：1：5とし、液温度を25～45℃とし、エッティング時間を1～20分としてエッティングするのが最適であった。例えば、エッティング液温度を35℃、エッティング時間を3分とすると、未反応コバルト及びコバルトの酸化物のみをエッティングして、シリサイド層は全くエッティングされない（図2（c））。その後、第2シンターを行うことにより、低抵抗で且つ均一なコバルトシリサイド膜（CoSi₂）₁₁が形成された。不良の発生は、エッティング液の濃度、液温、エッティング時間に大きく依存していた。

【0014】

エッティング液の濃度、液温、エッティング時間を上記範囲以下に設定した場合、未反応コバルト及びコバルトの酸化物を完全に除去出来ず、また、エッティング液の濃度、液温、エッティング時間を上記範囲以上に設定した場合、シリサイド層をエッティングしてしまう。従って、上記範囲が最適なエッティング条件であると結論づけた。

【0015】

(第2の具体例)

図3及び図4は、本発明の第2の具体例を説明するための工程図である。

【0016】

まず、図3 (a) に示すように、素子を形成した半導体基板1上の全面に、図3 (b) に示すように、コバルト6を成膜する。ここで、コバルト6を成膜した後、コバルト6の酸化防止の為にチタン(Ti)又は窒化チタン(TiN)7を成膜し、コバルト6を覆う(図3 (c))。成膜方法としては、マグネットロンスパッタ法もしくは蒸着で成膜する。この状態で、500°C以上の不活性ガス雰囲気中で10~60秒間熱処理し、ダイコバルトシリサイド膜、コバルトモノシリサイド膜、コバルトダイシリサイド膜を形成する(第1シンター)。この時、コバルトシリサイド層10は、ゲート電極5上及び拡散層3、4上のみに自己整合的に形成される(図4 (a))。次に、コバルト6成膜時に、酸化防止の為にキヤップ膜として形成したチタンもしくは窒化チタン膜7を除去する為に、アンモニア、過酸化水素水、水の混合水溶液(APM)にシリコン基板1を液浸する(図4 (b))。その後、塩酸、過酸化水素、水の混合水溶液(HPM)にシリコン基板1を液浸することにより、選択的にウェットエッティングし、フィールド酸化膜及びサイドウォール膜上の未反応もしくは一部酸化されたコバルト膜のみを除去する(図4 (c))。この際、過剰なエッティングによるゲート電極5の表面およびソース・ドレイン領域3、4のシリサイド膜のエッティングを避ける為、エッティング条件を最適化する必要があり、その条件として、塩酸、過酸化水素、水の濃度比を1:1:5~3:1:5に、HPM液の温度を25~45°Cに、エッティング時間を1~20分の条件でエッティングした。次いで、第1シンター時以上

の温度で10～60秒間熱処理を行う(図4(d))。この結果、低抵抗且つ均一なコバルトダイシリサイド11が形成された。

【0017】

【発明の効果】

本発明に係わる半導体装置の製造方法は、未反応もしくは一部酸化されたコバルト膜の除去工程において、塩酸、過酸化水素水、水の混合水溶液からなるエッティング液の濃度比を1:1:5～3:1:5とし、液温度を25～45℃とし、エッティング時間を1～20分としてエッティングすることにより、ゲート電極上もしくは拡散層電極上にアンバランスにダイコバルトシリサイド膜、コバルトモノシリサイド膜、コバルトダイシリサイド膜が存在した場合においても、シリサイドしたコバルト膜はエッティングされず、未反応のコバルトもしくは一部酸化されたコバルトのみをエッティング除去することが出来た。従って、次工程の高温熱処理を行うことで、均一で低抵抗なコバルトダイシリサイド膜を形成でき、その結果、製品の歩留まり及び長期信頼性を向上させることができるという優れた効果を奏する。

【図面の簡単な説明】

【図1】

本発明に係わる半導体装置の製造方法の第1の具体例の工程を示す断面図である。

【図2】

本発明と従来例との差異を説明する図である。

【図3】

本発明に係わる半導体装置の製造方法の第2の具体例の工程を示す断面図である。

【図4】

図3の続きの工程を示す図である。

【符号の説明】

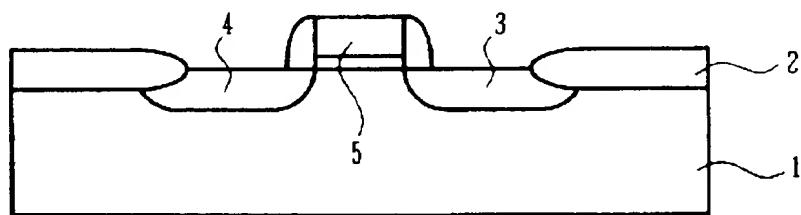
- 1 シリコン基板
- 2 LCO₂S酸化膜

- 3 ドレイン領域
- 4 ソース領域
- 5 ゲート電極
- 6 コバルト (Co) 膜
- 7 チタン (Ti) 又は窒化チタン (TiN) 膜
- 10 CO₂Si、CO₂Si₂
- 11 CO₂Si₂膜

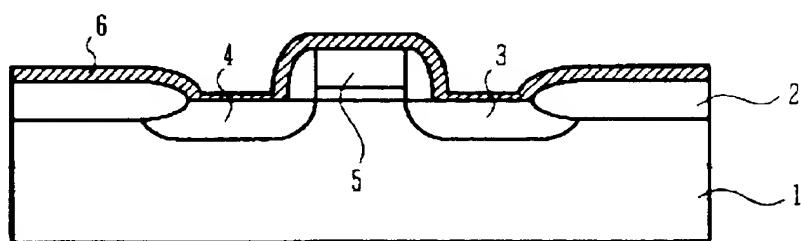
【書類名】 図面

【図1】

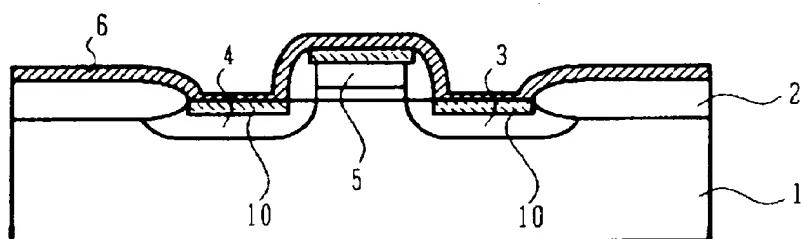
(a)



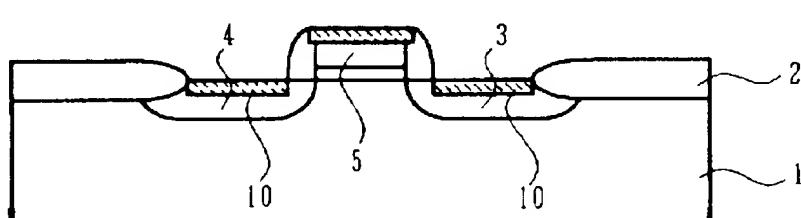
(b)



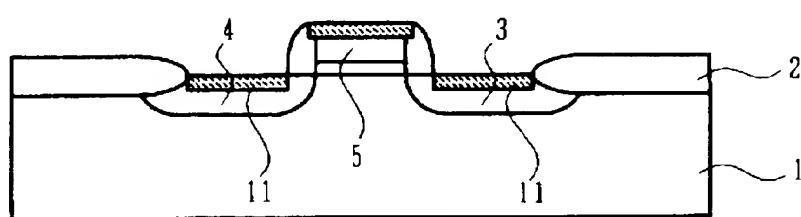
(c)



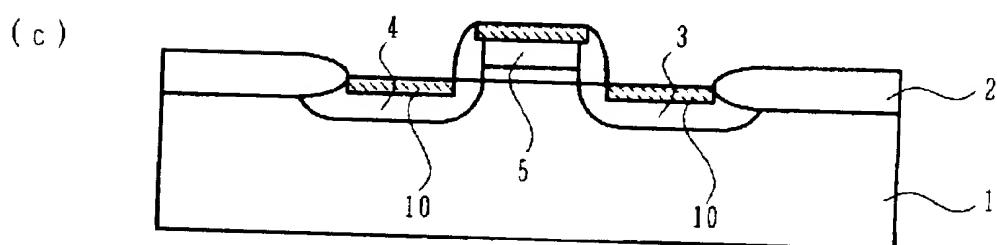
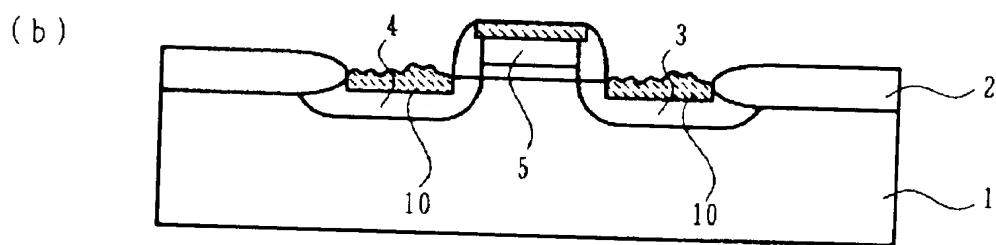
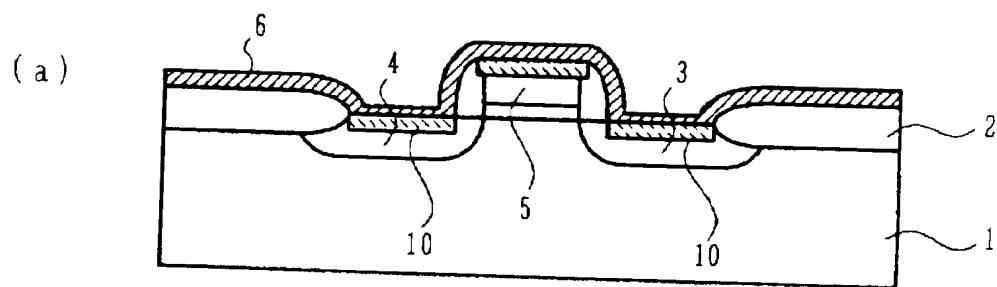
(d)



(e)

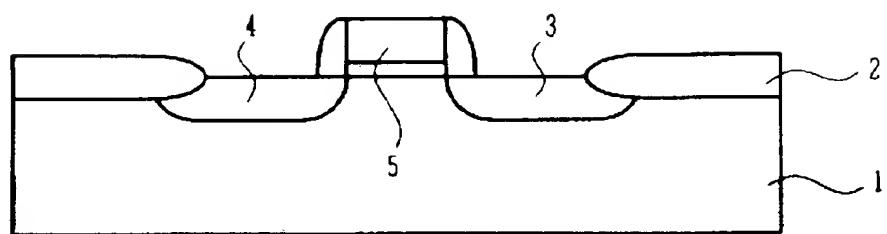


【図2】

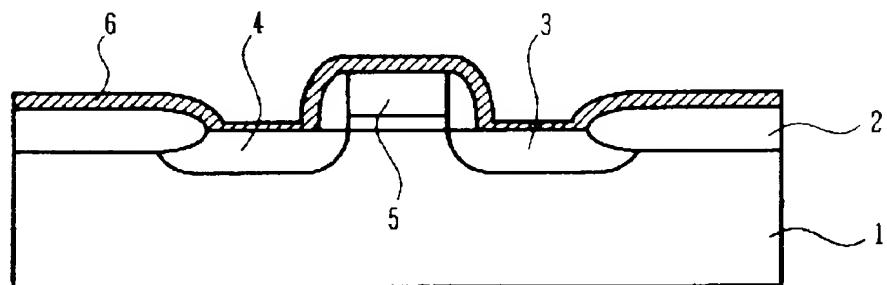


【図3】

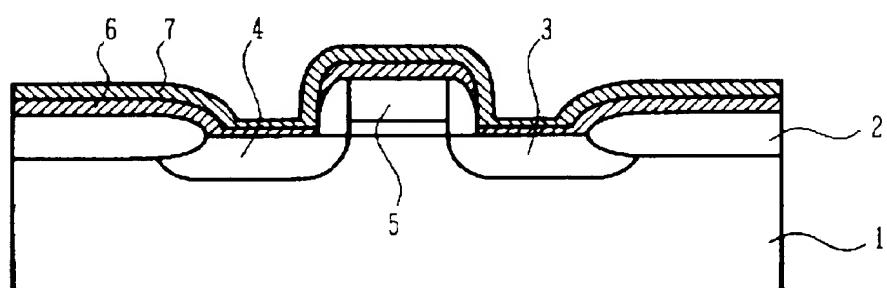
(a)



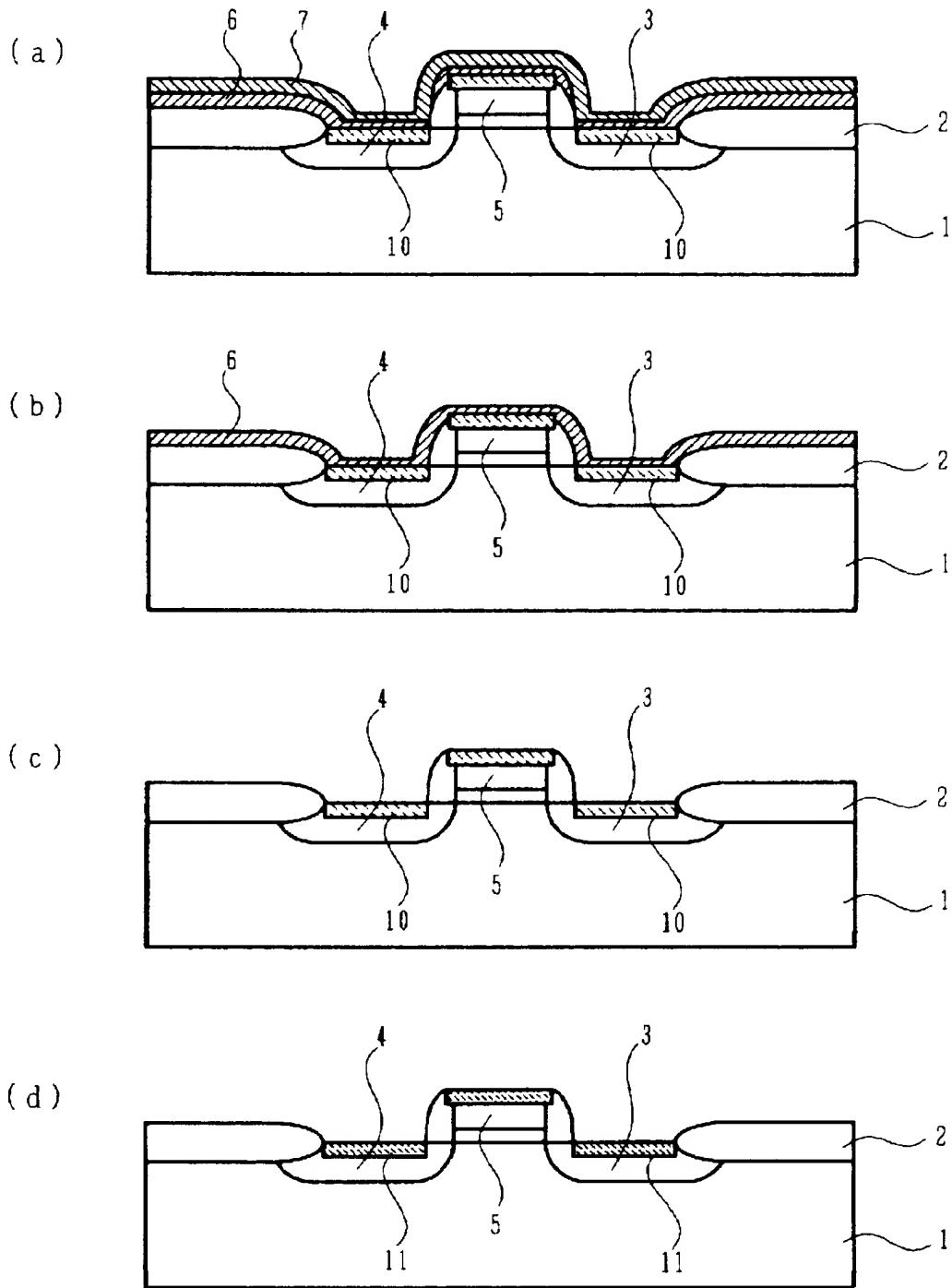
(b)



(c)



【図4】



【書類名】 要約書

【要約】

【課題】 低抵抗なシリサイド層の形成に好適な新規な半導体装置の製造方法を提供する。

【解決手段】 半導体基板1上に選択的に形成された絶縁膜2から露出した部分に形成されたソース・ドレイン領域3、4、ゲート電極5上に、自己整合的に金属シリサイド層11を形成する半導体装置の製造方法において、前記半導体基板1上にコバルト6を堆積せしめ、熱処理を施すことで、前記金属シリサイド層11を形成し、その後、未反応のコバルトをエッティングして除去する際、塩酸、過酸化水素、水の混合水溶液からなるエッティング液のそれぞれの濃度比を1:1:5~3:1:5とし、液温を25~45°Cとし、エッティング時間を1~20分とした条件下でエッティングすることを特徴とする。

【選択図】 図1

出願人履歴情報

識別番号 [000004237]

1. 変更年月日 1990年 8月29日

[変更理由] 新規登録

住 所 東京都港区芝五丁目7番1号

氏 名 日本電気株式会社